



ROSTA

RSP-517

Симметричный РМС-модуль
с двумя ПЛИС Virtex-4LX

РУКОВОДСТВО РАЗРАБОТЧИКА

СОДЕРЖАНИЕ

1. Общее описание и архитектура модуля RSP-517	3
2. Общий вид и механические размеры	5
3. Основные блоки	6
3.1 Системная ПЛИС	6
3.1.1 Интерфейс с разъемами J1-J4 PMC	6
3.2 Локальная шина Local Bus	11
3.3 Пользовательская ПЛИС	11
3.4 Шины управления пользовательскими ПЛИС Control Bus	12
3.5 Внутренняя шина Inner Bus	13
3.6. Интерфейс с памятью DDRAM	15
3.7 Интерфейс с боковыми разъемами	16
3.8 Flash-память	18
3.9 Конфигурационное ПЗУ SPROM системной ПЛИС	19
3.10 Блок управления синхронизацией Clock Manager	20
3.11 Температурный контроль	21
3.12 Последовательная шина управления SMBus	22
3.13 Интерфейс JTAG	23
3.14 Индикация	24
3.15 Питание модуля	24
3.16 Дополнительные разъемы питания P1 и P2	25
4. Используемая литература	26



ОБЩЕЕ ОПИСАНИЕ И АРХИТЕКТУРА МОДУЛЯ RSP-517

Симметричный PMC модуль с двумя ПЛИС Virtex-4LX RSP-517 является дальнейшим развитием семейства RSP-5XX, а его архитектура во многом повторяет модуль RSP-512. Основным отличием является использования нового модельного ряда ПЛИС Virtex-4, позволяющего получить преимущество в объеме доступных логических ячеек ПЛИС, повышенного быстродействия и пониженного питания

Так же, как и в предыдущих модулях семейства, на модуле RSP-517 установлены две пользовательские ПЛИС (X1 и X2) Virtex-4LX. Обе ПЛИС связаны между собой широкой внутренней шиной Inner Bus.

К каждой из пользовательских ПЛИС симметрично подключена внешняя динамическая память DDR SDRAM. Кроме того, на внешние разъемы S1 и S2 от пользовательских ПЛИС выведены шины расширения SideBus и сигналов LVDS для подключения к внешним источникам данных.

Вся внутренняя логика работы модуля организуется посредством системной ПЛИС (X3). С одной стороны она подключена к присоединительным разъемам J1-J4 модуля (наименование разъемов соответствует принятым в стандарте PMC) и загружаемое в нее ядро PCI-X 64/133 Core фирмы Xilinx обеспечивает PCI-X интерфейс модуля. Неиспользованные для шины PCI-X контакты разъемов J1-J4 также выведены на системную ПЛИС и образуют шину расширения Extension Bus.

С другой стороны системная ПЛИС подключена к локальной шине Local Bus, а через нее и к двум пользовательским ПЛИС X1 и X2. Для инициализации, загрузки и управления пользовательскими ПЛИС предназначены шины Control Bus.

Конфигурационное ПЗУ SPROM, подключенное к системной ПЛИС, используется для ее автономной инициализации при включении питания модуля. Для конфигурирования пользовательских ПЛИС может быть использована Flash память.

Для контроля температуры пользовательских ПЛИС и предотвращения выхода их из строя из-за перегрева предусмотрена схема температурного мониторинга. Работа данной схемы основывается на данных датчиков температуры, имеющийся в каждой из пользовательских ПЛИС.

Настройка параметров схемы температурного мониторинга и управление блоком синхронизации модуля осуществляется посредством последовательной шины управления SMBus.

Все три ПЛИС и память SPROM объединены в цепь по интерфейсам JTAG.

Для индикации внутренних состояний модуля к системной ПЛИС подключены 4 светодиода и к каждой пользовательской ПЛИС по 3 светодиода (LEDs).

Через присоединительные разъемы PMC модуль получает питание 5 и 3,3 Вольта.

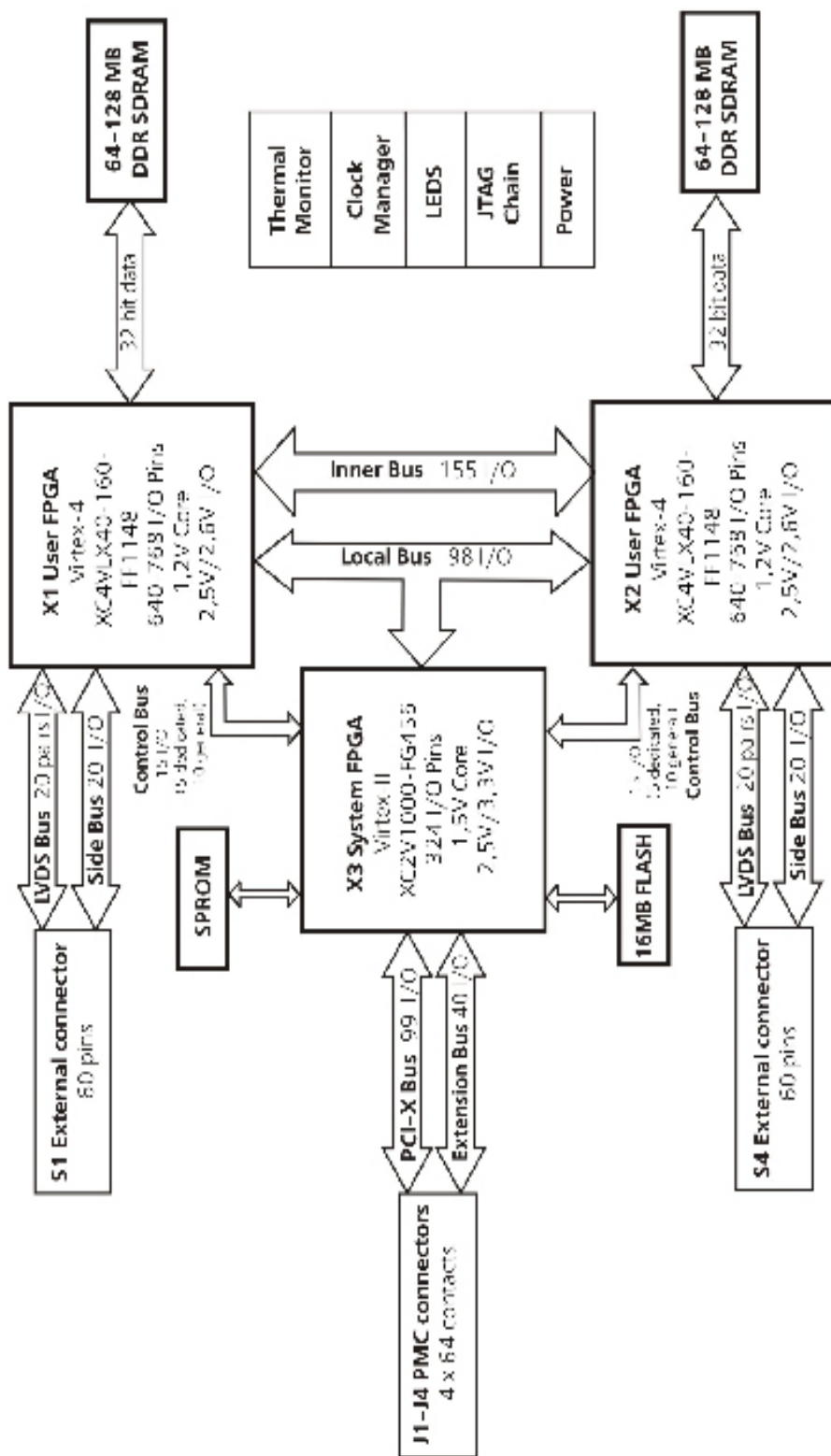


Рисунок 1: Блок-схема модуля RSP-517

2

ОБЩИЙ ВИД И МЕХАНИЧЕСКИЕ РАЗМЕРЫ

Механические размеры соответствуют стандарту СМС [2] и составляют 75 x 49 мм. Общее расположение основных компонент модуля приведено на рисунках ниже.

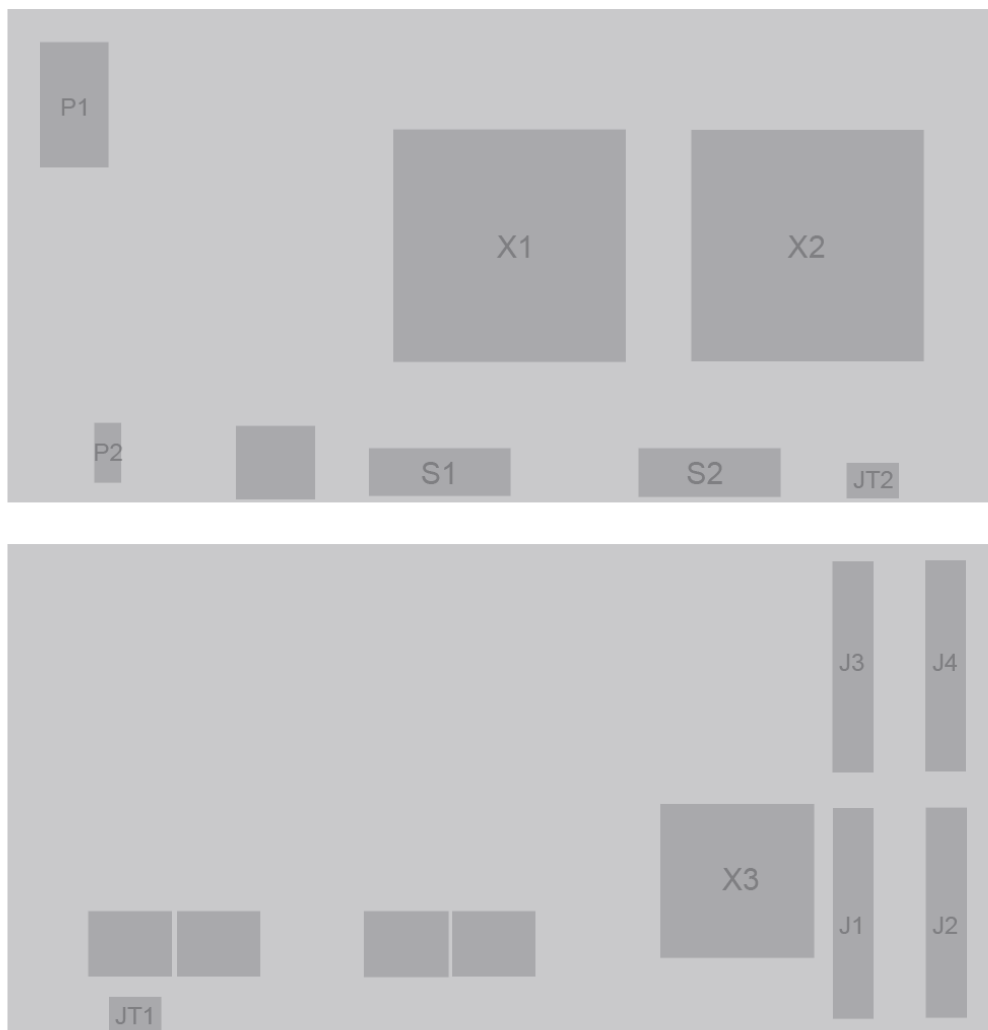


Рисунок 2: Основные компоненты модуля RSP-517

Здесь:

- X1, X2 - Пользовательские ПЛИС
- X3 - Системная ПЛИС
- S1, S2 - Высокочастотные боковые разъемы
- JT1, JT2 - Разъемы цепи JTAG
- J1-J4 - Разъемы РМС
- P1, P2 - Разъемы дополнительного питания

Ниже приведено описание всех основных блоков модуля RSP-517.

3.1 Системная ПЛИС

Так же, как и в модуле RSP-512, в модуле RSP-517 в качестве системной ПЛИС используется модель Virtex-II XC2V1000-FG456 [1]. С одной стороны системная ПЛИС присоединена к разъемам J1-J4 модуля RSP-517 для реализации интерфейса вовне. С другой стороны, вовнутрь модуля, к ней присоединены локальная шина модуля Local Bus, шины контроля пользовательскими ПЛИС Control Bus, шина управления SMBus, конфигурационное ПЗУ и FLASH-память. Посредством системной ПЛИС обеспечивается вся логика работы модуля.

Далее представлено описание интерфейса системной ПЛИС с разъемами J1-J4 модуля, описания внутренних интерфейсов системной ПЛИС приведены в соответствующих разделах.

3.1.1 Интерфейс с разъемами J1-J4 РМС

Системная ПЛИС подключена непосредственно на присоединительные разъемы J1-J4 модуля РМС. Стандарт РМС [2] предписывает использование большинства контактов разъемов J1-J3 для реализации шины PCI-X, хотя также оставляет некоторые из них резервированными. Кроме того, все контакты разъема J4 определены как user defined.

Из числа резервированных и user define контактов разъемов J1-J4, 40 контактов подключены к системной ПЛИС и организованы в шину расширения Extension Bus. Количество линий обусловлено наличием свободных выводов системной ПЛИС.

Необходимо отметить, что такое разделение шины во многом является условным в том смысле, что оно во многом зависит от ядра, загруженного в системную ПЛИС. Так, при загрузке ядра, реализующего, например, 32 разрядную шину PCI, значительная часть контактов разъемов J1-J3 не используется и, следовательно, может быть логически добавлена в шину расширения Extension Bus. Наконец, пользователь вправе рассматривать все проводники как одну шину и организовывать собственный внешний интерфейс.

Трассы для проводников, соответствующим сигналам PCI-X интерфейса, выполнены с учетом рекомендаций стандарта PCI-X по длине и волновому сопротивлению.

Далее в таблице приведены контакты ПЛИС, подключенные к присоединительным разъемам РМС J1-J4. Наименование сигналов шины расширения – EX*, остальные сигналы соответствуют шине PCI-X.

Таблица 1: Назначение контактов разъема J1

Connector pin	FPGA X3 pin	Signal	Connector pin	FPGA X3 pin	Signal
1	-	TCK	2	-	-12V
3	-	GND	4	B4	INTA
5	V11	EX01	6	U11	EX00
7	U10	EX02	8	-	+5V
9	U9	EX04	10	V10	EX03
11	-	GND	12	-	RSVD
13	D11	CLK	14	-	GND
15	-	GND	16	C4	GNT
17	C5	REQ	18	-	+5V
19	-	+3.3V	20	E6	AD31
21	C1	AD28	22	D2	AD27
23	E4	AD25	24	-	GND
25	-	GND	26	E2	C/BE3
27	G5	AD22	28	F4	AD21
29	F2	AD19	30	-	+5V
31	-	+3.3V	32	G4	AD17
33	G1	FRAME	34	-	GND
35	-	GND	36	H5	IRDY
37	H4	DEVSEL	38	-	+5V
39	-	PCIXCAP	40	B5	LOCK
41	V7	EX06	42	V9	EX05
43	J4	PAR	44	-	GND
45	-	+3.3V	46	J2	AD15
47	K5	AD12	48	K6	AD11
49	K4	AD09	50	-	+5V
51	-	GND	52	K2	CBE0
53	L5	AD06	54	L4	AD05
55	L3	AD04	56	-	GND
57	-	+3.3V	58	L2	AD03
59	M1	AD02	60	M2	AD01
61	M3	AD00	62	-	+5V
63	-	GND	64	M5	REQ64

Таблица 2: Назначение контактов разъема J2

Connector pin	FPGA X3 pin	Signal	Connector pin	FPGA X3 pin	Signal
1	-	+12V	2	-	TRST
3	-	TMS	4	-	TDO
5	-	TDI	6	-	GND
7	-	GND	8	W11	EX07
9	W10	EX09	10	Y11	EX08
11	Y10	EX10	12	-	+3.3V
13	A5	RST	14	W9	EX11
15	-	+3.3V	16	Y9	EX12
17	A4	PME	18	-	GND
19	E5	AD30	20	C2	AD29
21	-	GND	22	D1	AD26
23	E3	AD24	24	-	+3.3V
25	E1	IDSEL	26	F5	AD23
27	-	+3.3V	28	F3	AD20
29	F1	AD18	30	-	GND
31	G3	AD16	32	G2	C/BE2
33	-	GND	34	W8	EX13
35	J6	TRDY	36	-	+3.3V
37	-	GND	38	H3	STOP
39	H2	PERR	40	-	GND
41	-	+3.3V	42	H1	SERR
43	J3	C/BE1	44	-	GND
45	J1	AD14	46	J5	AD13
47	-	M66EN	48	L6	AD10
49	K3	AD08	50	-	+3.3V
51	K1	AD07	52	Y8	EX14
53	-	+3.3V	54	V6	EX15
55	W6	EX16	56	-	GND
57	Y6	EX18	58	W7	EX17
59	-	GND	60	Y7	EX19
61	M4	ACK64	62	-	+3.3V
63	-	GND	64	-	RSVD

Таблица 3: Назначение контактов разъема J3

Connector pin	FPGA X3 pin	Signal	Connector pin	FPGA X3 pin	Signal
1	-	PCI-RSVD	2	-	GND
3	-	GND	4	M6	C/BE7
5	N1	C/BE6	6	N2	C/BE5
7	N3	C/BE4	8	-	GND
9	-	+3.3V	10	N4	PAR64
11	N5	AD63	12	N6	AD62
13	P1	AD61	14	-	GND
15	-	GND	16	P2	AD60
17	P3	AD59	18	P4	AD58
19	P5	AD57	20	-	GND
21	-	+3.3V	22	P6	AD56
23	R1	AD55	24	R2	AD54
25	R3	AD53	26	-	GND
27	-	GND	28	R4	AD52
29	T1	AD51	30	T2	AD50
31	T3	AD49	32	-	GND
33	-	GND	34	T4	AD48
35	R5	AD47	36	T5	AD46
37	U1	AD45	38	-	GND
39	-	+3.3V	40	U2	AD44
41	V1	AD43	42	V2	AD42
43	U3	AD41	44	-	GND
45	-	GND	46	U4	AD40
47	W1	AD39	48	W2	AD38
49	V3	AD37	50	-	GND
51	-	GND	52	V4	AD36
53	Y1	AD35	54	Y2	AD34
55	U5	AD33	56	-	GND
57	-	+3.3V	58	V5	AD32
59	AA10	EX21	60	AB9	EX20
61	AB10	EX22	62	-	GND
63	-	GND	64	AA11	EX23

Таблица 4: Назначение контактов разъема J4

Connector pin	FPGA X3 pin	Signal	Connector pin	FPGA X3 pin	Signal
1	W5	EX24	2	-	GND
3	-	GND	4	V8	EX25
5			6		
7			8	-	GND
9	-	GND	10		
11	Y5	EX27	12	Y4	EX26
13			14	-	GND
15	-	GND	16		
17			18		
19			20	-	GND
21	-	GND	22		
23	AA4	EX29	24	AA3	EX28
25	B11	SCLK	26	-	GND
27	-	GND	28	A11	SDAT
29	AA5	EX31	30	AB4	EX30
31			32	-	GND
33	-	GND	34		
35			36		
37	AB5	EX32	38	-	GND
39	-	GND	40	AA6	EX33
41	AA7	EX35	42	AB6	EX34
43	AB7	EX36	44	-	GND
45	-	GND	46	AA8	EX37
47			48		
49			50	-	GND
51	-	GND	52		
53			54		
55	AB8	EX38	56	-	GND
57	-	GND	58	AA9	EX39
59			60		
61			62		
63	-	GND	64	-	GND

3.2 Локальная шина Local Bus

Локальная шина служит для объединения системной и пользовательских ПЛИС и состоит из 98 линий. Конкретное назначение каждой из линий определяются пользователем. Далее приведена таблица соединений в локальной шине.

Таблица 5: Соединения локальной шины

Signal	FPGA X3 pin	FPGA X1(X2) pin	Signal	FPGA X3 pin	FPGA X1(X2) pin	Signal	FPGA X3 pin	FPGA X1(X2) pin	Signal	FPGA X3 pin	FPGA X1(X2) pin
LB_00	A19	H7	LB_49	J19	C15	LB_25	E19	D11	LB_74	P18	B20
LB_01	A17	G7	LB_50	J18	B15	LB_26	E17	B11	LB_75	P17	A20
LB_02	A16	D7	LB_51	J17	A15	LB_27	E16	A11	LB_76	R22	G21
LB_03	A15	C7	LB_52	L22	M17	LB_28	F22	H12	LB_77	R21	F21
LB_04	A14	B7	LB_53	L21	K17	LB_29	F21	G12	LB_78	R20	E21
LB_05	B19	G8	LB_54	L20	G17	LB_30	F20	E12	LB_79	R19	D21
LB_06	B17	F8	LB_55	L19	E17	LB_31	F19	D12	LB_80	R18	B21
LB_07	B16	C8	LB_56	L18	D17	LB_32	E15	C12	LB_81	U13	A21
LB_08	B15	B8	LB_57	L17	C17	LB_33	E14	B12	LB_82	T22	C22
LB_09	B14	A8	LB_58	M21	K18	LB_34	G22	G13	LB_83	T21	B22
LB_10	C22	J9	LB_59	M20	H18	LB_35	G21	F13	LB_84	U22	G23
LB_11	C21	H9	LB_60	M19	G18	LB_36	G20	E13	LB_85	U21	F23
LB_12	C18	E9	LB_61	M18	F18	LB_37	G19	C13	LB_86	U20	E23
LB_13	C17	D9	LB_62	M17	E18	LB_38	G18	B13	LB_87	U19	C23
LB_14	C16	C9	LB_63	F12	C18	LB_39	F14	A13	LB_88	U18	B23
LB_15	C15	A9	LB_64	N22	K19	LB_40	H22	H14	LB_89	V15	A23
LB_16	D22	G10	LB_65	N21	J19	LB_41	H21	F14	LB_90	V22	H24
LB_17	D21	F10	LB_66	N20	H19	LB_42	H20	E14	LB_91	V21	F24
LB_18	D18	D10	LB_67	N19	E19	LB_43	H19	D14	LB_92	V20	E24
LB_19	D17	C10	LB_68	N18	D19	LB_44	H18	C14	LB_93	V19	D24
LB_20	D16	B10	LB_69	N17	C19	LB_45	F13	A14	LB_94	V17	C24
LB_21	D15	A10	LB_70	P22	H20	LB_46	J22	J15	LB_95	V16	A24
LB_22	E22	G11	LB_71	P21	F20	LB_47	J21	H15	LB_96	W22	G25
LB_23	E21	F11	LB_72	P20	D20	LB_48	J20	G15	LB_97	Y18	H25
LB_24	E20	E11	LB_73	P19	C20						

3.3 Пользовательская ПЛИС

В качестве пользовательских ПЛИС применяются ПЛИС Virtex-4LX в корпусе FF1148 в диапазоне 40-60-80-100-160 [3]. Возможна установка на модуль только одной ПЛИС X1. Использование различных ПЛИС на одном модуле не допускается.

3.4 Шины управления пользовательскими ПЛИС Control Bus

На модуле предусмотрены две одинаковые шины управления, каждая из которых связывает пользовательскую ПЛИС с системной ПЛИС. Среди сигналов шины управления пять (INIT, PROG, CCLK, DIN и DONE) имеют определенное функциональное назначение, поскольку они присоединены к выводам пользовательской ПЛИС, обеспечивающим ее инициализацию и конфигурацию. Остальные 10 линий могут быть использованы по собственному усмотрению.

Инициализация, загрузка конфигурации осуществляется непосредственно из системной ПЛИС. Для пользовательских ПЛИС выбран режим загрузки конфигурации Slave-Serial. При этом данные для конфигурации поставляются извне в последовательном коде, а для правильной их интерпретации подается сигнал синхронизации. Конфигурационные данные воспринимаются по положительному перепаду сигнала синхронизации. Допускается использование аperiodического сигнала синхронизации. Это позволяет согласовать скорость поступления конфигурационных данных и синхросигнал, формируя положительный перепад синхросигнала, на каждый новый бит конфигурационных данных.

Таблицы связей приведены ниже.

Таблица 6: FPGA X1 Control Bus

Signal	FPGA X3 pin	FPGA X1 pin
General purpose lines		
CB1_0	AB19	F26
CB1_1	AB18	E26
CB1_2	AB17	D26
CB1_3	AB16	B26
CB1_4	AB15	A26
CB1_5	AA20	F25
CB1_6	AA18	D25
CB1_7	AA17	C25
CB1_8	AA16	B25
CB1_9	AA15	A25
Dedicated lines		
INIT_1	T19	U21
PROG_1	T20	U22
CCLK_1	K22	R17
DIN_1	K21	T16
DONE_1	K20	U15

Таблица 7: FPGA X2 Control Bus

Signal	FPGA X3 pin	FPGA X2 pin
General purpose lines		
CB2_0	Y16	F26
CB2_1	Y15	E26
CB2_2	Y14	D26
CB2_3	W14	B26
CB2_4	V14	A26
CB2_5	W21	F25
CB2_6	W20	D25
CB2_7	W18	C25
CB2_8	W16	B25
CB2_9	W15	A25
Dedicated lines		
INIT_2	U14	U21
PROG_2	T18	U22
CCLK_2	K19	R17
DIN_2	K18	T16
DONE_2	K17	U15

3.5 Внутренняя шина Inner Bus

Пользовательские ПЛИС объединены между собой 155 линиями, соединяющими каждую пару одноименных выводов микросхем. Для обеспечения максимального быстродействия длина связей сделана максимально короткой и обеспечено волновое сопротивление 50 Ом соединительных проводников на плате. Кроме того, предполагается применение варианта выходов ПЛИС с функцией цифровой подстройкой импеданса (DCI), для этого на входы VRP/VRN соответствующих банков ПЛИС подключены резисторы 50 Ом.

Таблица 8: Соединения внутренней шины

Inner Bus Signal	FPGA X1 (X2) pin	Inner Bus Signal	FPGA X1 (X2) pin	InnerBus Signal	FPGA X1 (X2) pin	Inner Bus Signal	FPGA X1 (X2) pin	Inner Bus Signal	FPGA X1 (X2) pin
0	A29	31	F30	62	M31	93	V32	124	AC33
1	C29	32	G30	63	P31	94	W32	125	AF33
2	D29	33	H30	64	R31	95	Y32	126	AE33
3	E29	34	J30	65	T31	96	AB32	127	AG33
4	F29	35	L30	66	U31	97	AC32	128	AH33
5	H29	36	M30	67	W31	98	AD32	129	AK33
6	J29	37	N30	68	Y31	99	AE32	130	AL33
7	K29	38	P30	69	AA31	100	AG32	131	AM33
8	L29	39	T30	70	AB31	101	AH32	132	AN33
9	N29	40	U30	71	AD31	102	AJ32	133	C34
10	P29	41	V30	72	AE31	103	AK32	134	D34
11	R29	42	W30	73	AF31	104	AM32	135	E34
12	T29	43	AA30	74	AG31	105	AN32	136	F34
13	V29	44	AB30	75	AJ31	106	AP32	137	H34
14	W29	45	AC30	76	AK31	107	B33	138	J34
15	Y29	46	AD30	77	AL31	108	C33	139	K34
16	AA29	47	AF30	78	AM31	109	E33	140	L34
17	AC29	48	AG30	79	AP31	110	F33	141	N34
18	AD29	49	AH30	80	B32	111	G33	142	P34
19	AE29	50	AJ30	81	C32	112	H33	143	R34
20	AF29	51	AL30	82	D32	113	K33	144	T34
21	AH29	52	AM30	83	E32	114	L33	145	V34
22	AJ29	53	AN30	84	G32	115	M33	146	AA34
23	AK29	54	AP30	85	H32	116	N33	147	AC34
24	AL29	55	A31	86	J32	117	R33	148	AD34
25	AN29	56	B31	87	K32	118	T33	149	AE34
26	AP29	57	D31	88	M32	119	U33	150	AF34
27	A30	58	E31	89	N32	120	V33	151	AH34
28	B30	59	F31	90	P32	121	Y33	152	AJ34
29	C30	60	G31	91	R32	122	AA33	153	AK34
30	D30	61	L31	92	U32	123	AB33	154	AL34

3.6 Интерфейс с памятью DDRAM

К каждой пользовательской ПЛИС подключен свой банк 32 разрядной DDR SDRAM памяти. Каждый банк состоит из двух микросхем, имеющих 16 разрядную шину данных. Все сигналы управления микросхемами банка объединены, за исключением дифференциальных сигналов синхронизации и сигналов стробов и выборки байтов. На модуле могут быть установлены микросхемы памяти емкостью до 512 Мбит, что обеспечивает каждой пользовательской ПЛИС приватный блок памяти до 128 Мбайт.

Таблица 9: Подсоединение памяти DDR SDRAM

Signal	Memory IC pin	FPGA X1(X2) pin	Signal	Memory IC pin	FPGA X1(X2) pin
Mx_DQ00	A8	AB5	Mx_A00	K7	AN4
Mx_DQ01	B9	AC5	Mx_A01	L8	AP5
Mx_DQ02	B7	AC4	Mx_A02	L7	AP4
Mx_DQ03	C9	AD5	Mx_A03	M8	AP7
Mx_DQ04	C7	AD4	Mx_A04	M2	AP6
Mx_DQ05	D9	AE7	Mx_A05	L3	AN8
Mx_DQ06	D7	AE4	Mx_A06	L2	AN7
Mx_DQ07	E9	AF5	Mx_A07	K3	AN3
Mx_DQ08	E1	AE8	Mx_A08	K2	AN2
Mx_DQ09	D3	AD7	Mx_A09	J3	AM6
Mx_DQ10	D1	AE1	Mx_A10	K8	AN5
Mx_DQ11	C3	AD2	Mx_A11	J2	AM5
Mx_DQ12	C1	AC7	Mx_A12	H2	AL8
Mx_DQ13	B3	AC3	Mx_BA0	J8	AM8
Mx_DQ14	B1	AC2	Mx_BA1	J7	AM7
Mx_DQ15	A2	AB6	Mx_CASB	G8	AL6
Mx_DQ16	A8	AH2	Mx_CKE	H3	AM1
Mx_DQ17	B9	AG2	Mx_CLK	G2	AF6
Mx_DQ18	B7	AG3	Mx_CLKB	G3	AE6
Mx_DQ19	C9	AJ2	Mx_CSB	H8	AM3
Mx_DQ20	C7	AJ5	Mx_DCLK	G2	AK4
Mx_DQ21	D9	AK1	Mx_DCLKB	G3	AJ4
Mx_DQ22	D7	AK3	Mx_CLKFB	G2	AK4
Mx_DQ23	E9	AK7	Mx_DM0	F7	AE2
Mx_DQ24	E1	AK6	Mx_DM1	F3	AF3
Mx_DQ25	D3	AJ7	Mx_DM2	F7	AL1
Mx_DQ26	D1	AJ6	Mx_DM3	F3	AL4
Mx_DQ27	C3	AJ1	Mx_DQS0	E7	AF1
Mx_DQ28	C1	AG7	Mx_DQS1	E3	AE3
Mx_DQ29	B3	AG1	Mx_DQS2	E7	AK2
Mx_DQ30	B1	AH5	Mx_DQS3	E3	AL5
Mx_DQ31	A2	AH3	Mx_RASB	H7	AM2
			Mx_WEB	G7	AL3

3.7 Интерфейс с боковыми разъемами

На модуле предусмотрены два высокочастотных разъема S1 и S4 типа QSH-030-01-LDA (Molex), подсоединенных к пользовательским ПЛИС X1 и X2 соответственно. Они содержат 60 контактов, на которые выведены 20 линий несимметричного интерфейса – шина Side Bus и 20 пар симметричного интерфейса - LVDS bus. Однако возможно использование всех 60 линий в режиме несимметричного интерфейса.

Эти линии могут быть произвольным образом использованы для организации дополнительного канала ввода/вывода данных. Поскольку ПЛИС подключена к контактам разъема без дополнительных буферов, то внешний источник/приемник данных должен быть согласован с типом интерфейса, использованным в ПЛИС - в нашем случае блоки ввода/вывода ПЛИС питаются напряжением 2,5 В. Кроме того, предполагается применение варианта выходов ПЛИС с функцией цифровой подстройкой импеданса (DCI), для этого на входы VRP/VRN соответствующих банков ПЛИС подключены резисторы 50 Ом.

Таблица 10: Назначение контактов разъемов S1 и S4

Signal	Pin	Pin	Signal
LVDS0p	1	2	LVDS10p
LVDS0n	3	4	LVDS10n
SB0	5	6	SB1
LVDS1p	7	8	LVDS11p
LVDS1n	9	10	LVDS11n
SB2	11	12	SB3
LVDS2p	13	14	LVDS12p
LVDS2n	15	16	LVDS12n
SB4	17	18	SB5
LVDS3p	19	20	LVDS13p
LVDS3n	21	22	LVDS13n
SB6	23	24	SB7
LVDS4p	25	26	LVDS14p
LVDS4n	27	28	LVDS14n
SB8	29	30	SB9
LVDS5p	31	32	LVDS15p
LVDS5n	33	34	LVDS15n
SB10	35	36	SB11
LVDS6p	37	38	LVDS16p
LVDS6n	39	40	LVDS16n
SB12	41	42	SB13
LVDS7p	43	44	LVDS17p
LVDS7n	45	46	LVDS17n
SB14	47	48	SB15
LVDS8p	49	50	LVDS18p
LVDS8n	51	52	LVDS18n
SB16	53	54	SB17
LVDS9p	55	56	LVDS19p
LVDS9n	57	58	LVDS19n
SB18	59	60	SB19

Таблица 11: Соединения шины Side Bus

Side Bus Signal	FPGA X1 (X2) pin	Side Bus Signal	FPGA X1 (X2) pin
0	A4	10	E6
1	A3	11	F6
2	A5	12	D6
3	B5	13	G6
4	B3	14	M6
5	B2	15	M5
6	A6	16	M7
7	B6	17	N7
8	C5	18	P7
9	D5	19	P6

Таблица 12: Соединения шины LVDS Bus

Signal	FPGA X1 (X2) pin	Signal	FPGA X1 (X2) pin
LVDS0p	C2	LVDS10p	C4
LVDS0n	D2	LVDS10n	C3
LVDS1p	D4	LVDS11p	E3
LVDS1n	E4	LVDS11n	E2
LVDS2p	D1	LVDS12p	F4
LVDS2n	E1	LVDS12n	F3
LVDS3p	F5	LVDS13p	G3
LVDS3n	G5	LVDS13n	G2
LVDS4p	F1	LVDS14p	H3
LVDS4n	G1	LVDS14n	H2
LVDS5p	J4	LVDS15p	H5
LVDS5n	K4	LVDS15n	H4
LVDS6p	K6	LVDS16p	J6
LVDS6n	L6	LVDS16n	J5
LVDS7p	K3	LVDS17p	K2
LVDS7n	L3	LVDS17n	K1
LVDS8p	L1	LVDS18p	L5
LVDS8n	M1	LVDS18n	L4
LVDS9p	N5	LVDS19p	M3
LVDS9n	P5	LVDS19n	M2

3.8 FLASH память

На модуле установлена микросхема FLASH памяти. Основное ее назначение - хранение конфигурационной информации, которая может быть использована для автономной настройки пользовательских ПЛИС сразу после включения питания. Объем этой памяти – 128 Мбит, что необходимо для хранения конфигурационной информации для пользовательских ПЛИС максимального в данном корпусе объема. Внутри этой памяти имеются два отдельных банка, каждый из которых имеет свой сигнал выборки. Все сигналы управления Flash памяти подключены к системной ПЛИС.

Таблица 13: Подсоединение FLASH памяти

Signal	FPGA X3 pin	FLASH pin	Note
FA0	D8	G2	
FA1	D9	F2	
FA2	D10	E2	
FA3	D14	C2	
FA4	D13	D2	
FA5	B9	F3	
FA6	B10	E3	
FA7	C14	C3	
FA8	C12	D6	
FA9	B13	C6	
FA10	C8	H6	
FA11	C11	E6	
FA12	C10	F6	
FA13	B12	D7	
FA14	A13	C7	
FA15	A10	E7	
FA16	A9	F7	
FA17	A8	G7	
FA18	C13	D3	
FA19	C9	G6	
FA20	A7	J7	
FA21	F9	K4	
FA22	E10	E5	
FD0	B8	G3	
FD1	B6	K3	
FD2	F11	G4	
FD3	F10	H4	
FD4	E8	K5	
FD5	E9	G5	
FD6	C7	J6	
FD7	C6	K6	
FOE	D6	J2	
FWE	E11	C5	
FCE0	D7	H2	
FCE2	B7	J3	

Микросхема FLASH доступна по чтению, которое может выполняться в произвольном порядке и относительно быстро. Запись и стирание выполняются существенно медленнее и для инициализации этих операций необходимо использовать специфические последовательности приведенные ниже. Стертая ячейка памяти содержит значение FFh, а при записи состояние отдельных битов может быть изменено только на нулевое значение. Перевести биты из состояния 0 в 1 возможно только при стирании ячейки. Запись может осуществляться побайтно. Подробнее об этом можно прочитать в техническом описании микросхемы [].

Для записи и стирания FLASH используются специфические последовательности приведенные ниже.

	Cycle 1		Cycle 2		Cycle 3		Cycle 4		Cycle 5		Cycle 6	
Command	Addr	Dat	Addr	Dat	Addr	Dat	Addr	Dat	Addr	Dat	Addr	Dat
Write Data	XXX	AA	XXX	55	XXX	A0	Adr	Dat				
Chip Erase	XXX	AA	XXX	55	XXX	80	XXX	AA	XXX	55	XXX	10

Где:

XXX – произвольный адрес FLASH;

Adr – адрес ячейки, в которую производится запись;

Dat – записываемые данные.

3.9 Конфигурационное ПЗУ SPROM системной ПЛИС

Для обеспечения загрузки конфигурации системной ПЛИС при включении модуля используется микросхема памяти объемом 4 Мбит. Этого достаточно для хранения конфигурационной последовательности, а интерфейс максимально прост и подходит для подключения к ПЛИС без дополнительной логики. Для интерфейсной ПЛИС выбран режим загрузки Slave-Master. При включении питания системная ПЛИС подает тактовую последовательность на микросхему памяти, а та, в свою очередь, выдает данные до тех пор, пока не завершится процесс конфигурации. Программирование и перепрограммирование микросхемы памяти может быть выполнено при помощи сигналов JTAG интерфейса.

3.10 Блок управления синхронизацией Clock Manager

Для синхронизации в модуле используется микросхема Clock Manager - CY22150 (Cypress). На ее вход подается задающий тактовый сигнал от кварцевого генератора частотой 25МГц., а на ее выходах можно получать тактовые сигналы LCLK1-LCLK4 в диапазоне 80КГц-166.6 МГц. Эти сигналы используются для синхронизации всех ПЛИС.

Частоты сигналов LCLK1-LCLK4 определяются внутренними настройками Clock Manager. Для изменения настроек микросхемы используется простой двухпроводный интерфейс, подключенный к внутренней шине модуля SMBus. Адрес микросхемы на этой шине – 69h. Более подробно о режимах работы и программировании микросхемы можно прочитать в [].

Для обеспечения работы DDR памяти на модуле установлено два высокочастотных задающих генератора, которые подключаются по дифференциальным парам к пользовательской ПЛИС X1. На другую пользовательскую ПЛИС X2 эти сигналы подаются также по дифференциальным парам с соответствующих выходов ПЛИС X1. Один тактовый генератор CLK200 имеет частоту 200МГц, а другой – CLKMEM, выбирается исходя из требуемой частоты тактирования микросхем памяти.

Рисунок ниже поясняет схему синхронизации.

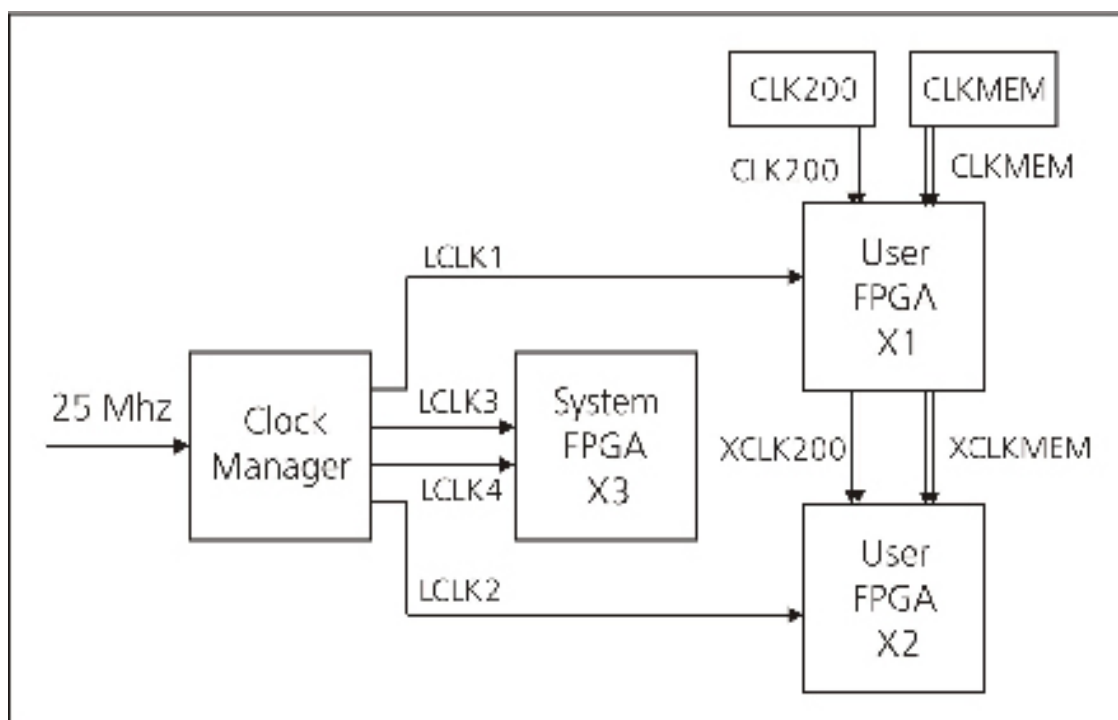


Таблица 14: Схема подключения синхросигналов

Signal	FPGA X1 pin	FPGA X2 pin	FPGA X3 pin	Clock Manager pin
LCLK1	D16	-	-	7
LCLK2	-	D16	-	8
LCLK3	-	-	E12	9
LCLK4	-	-	D12	12
CLK200_P	AP9	-	-	-
CLK200_N	AN9	-	-	-
XCLK200_P	AN10	AP9	-	-
XCLK200_N	AM10	AN9	-	-
CLKMEM_P	AL11	-	-	-
CLKMEM_N	AL10	-	-	-
XCLKMEM_P	AP11	AL11	-	-
XCLKMEM_N	AP10	AL10	-	-

3.11 Температурный контроль

Схема контроля температуры ПЛИС построена на основе микросхемы MAX6656 (Maxim). Эта микросхема позволяет подключить два удаленных температурных датчика – диода и имеет один встроенный датчик температуры. Кроме того, в ней предусмотрены три входа для измерения напряжения, которые целесообразно использовать для контроля различных номиналов напряжения питания модуля. Микросхема формирует два выходных сигнала ALERT и OVERT типа открытый коллектор. Оба сигнала имеют активное состояние «0».

Сигнал ALERT формируется в случае выхода температуры или напряжения по любому из измерительных каналов за пределы установленных минимальной и максимальной границ и при отказе датчика температуры. Сигнал фиксируется в регистре и для его сброса необходимо выполнить чтение статуса микросхемы.

Сигнал OVERT отражает состояние датчиков температуры, он переходит в активное состояние при превышении температуры заданного максимального порога. При снижении температуры сигнал переходит в неактивное состояние. Этот сигнал может быть использован для защиты ПЛИС от перегрева. При достижении его срабатывании необходимо проинициализировать ПЛИС путем подачи низкого уровня на ее вход PROG. Это позволяет быстро остановить задачу, вызвавшую разогрев микросхемы до предельной величины.

Для настройки микросхемы, контроля текущих значений измеряемых параметров микросхема имеет двухпроводный интерфейс SMBus. Более подробно о режимах работы и программировании микросхемы можно прочитать в [].

На модуле установлены две такие микросхемы. Выходы обеих микросхем подключены к системной ПЛИС. Ниже приведены источники измеряемых параметров температуры и напряжения для каждой из них.

Tmonitor 1 (Микросхема U11)

Name	Description
DXP1,DXN1	User FPGA X1 temperature sensor
DXP2,DXN2	User FPGA X2 temperature sensor
VIN1 (10)	5V power
VIN2 (11)	2.5V power
VIN3 (9)	1.2V power
ALERT	System FPGA, AB12 pin
OVERT	System FPGA, AA12 pin

Tmonitor 2 (Микросхема U12)

Name	Description
DXP1,DXN1	System FPGA X3 temperature sensor
DXP2,DXN2	Not used
VIN1	12V power
VIN2	2.6V power
VIN3	1.5V power
ALERT	System FPGA, Y12 pin
OVERT	System FPGA, W12 pin

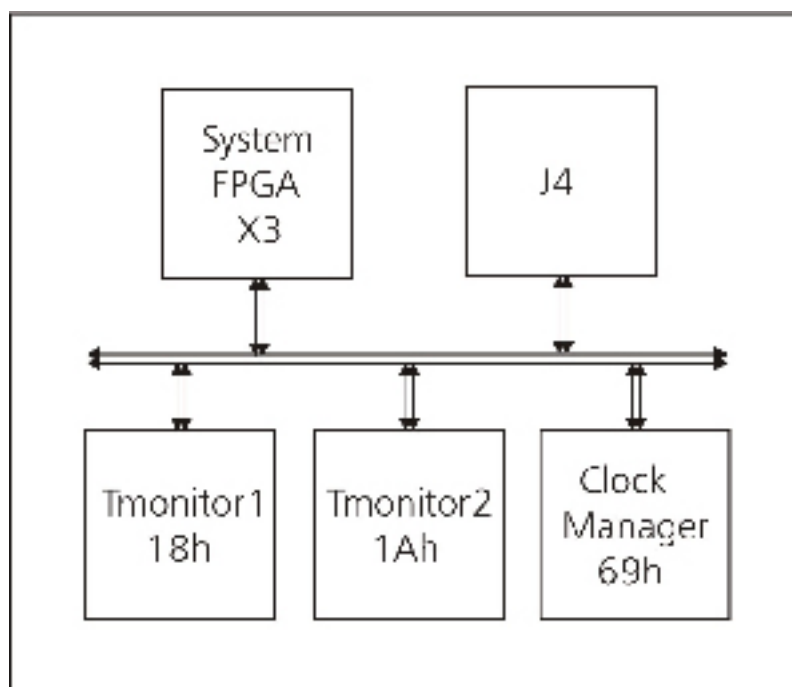
3.12 Последовательная шина управления SMBus

Для управления настройками и контроля состояния блоков температурного контроля и Clock Manager используется межмикросхемный последовательный низкоскоростной интерфейс. Для его работы достаточно пары сигналов:

SDAT – линия для передачи данных;

SCLK – линия для синхронизации.

К этому интерфейсу подключена системная ПЛИС и контакты на присоединительном разъеме J4 модуля. Таким образом, управление этой шиной может осуществляться локально на модуле или внешним по отношению к модулю устройством управления. Все устройства подключены к шине параллельно, оба сигнала шины имеют PullUp резисторы. На картинке схематично изображены устройства на шине.



В таблице 15 приведены номера выводов микросхем и разъема.

Таблица 15

Signal	System FPGA	Tmonitor 1	Tmonitor 2	Clock Manager	J4
SDAT	A11	13	13	4	28
SCLK	B11	15	15	10	25

3.13 Интерфейс JTAG

Все три ПЛИС и память SPROM объединены в последовательную цепь по интерфейсам JTAG. Последовательность микросхем в цепи JTAG следующая:

TDI -> X2 -> X1 -> X3 -> SPROM -> TDO

Для подключения к JTAG извне сигналы выведены на 6 контактный двухрядный разъемы JT1 и /или JT2 (шаг 2 мм), которые могут устанавливаться на верхней или нижней стороне модуля. Сигналы на входе/выходе микросхем должны иметь уровень LVCMOS 2,5 В. Назначение контактов разъемов JT1 (JT2) приведено в таблице ниже.

Таблица 16: Назначение контактов разъемов JT1/JT2

Pin	Description	Pin	Description
1	2.5 V (JTAG Vref.)	2	TCK
3	GND	4	TMS
5	TDO	6	TDI

3.14 Индикация

Для индикации внутренних состояний модуля к системной ПЛИС подключены 4 светодиода и к каждой пользовательской ПЛИС по 3 светодиода. Для включения светодиода надо подать сигнал логической единицы на выход ПЛИС, к которому он подключен.

Таблица 17: Индикация модуля RSP-517

LED	FPGA pin	Note
D2	X3.AB14	GREEN
D3	X3.AA14	GREEN
D4	X3.AB13	YELLOW
D5	X3.AA13	RED
D6	X1.A28	RED
D7	X2.A28	RED
D8	X1.B28	YELLOW
D9	X2.B28	YELLOW
D10	X1.B27	GREEN
D11	X2.B27	GREEN

3.15 Питание модуля

Модуль получает питание 5 Вольт и 3,3 Вольт через соединительные разъемы J1 -J4.

Все остальные напряжения необходимые для его работы обеспечиваются локальными преобразователями напряжения. В таблице приведен перечень напряжений питания, получаемых на модуле преобразованием исходного напряжения 5В.

Voltage	Destination
2.6 V	DDR SDRAM power, User FPGA VCCO banks
2.5 V	User and system FPGA VCCO banks
1.5 V	System FPGA VCCINT
1.3 V	DDR SDRAM Vref, User FPGA VCCO banks
1.2 V	User FPGA VCCINT

3.16 Дополнительные разъемы питания JP2 и JP4

На модуле предусмотрены дополнительные разъемы питания JP2 и JP4.

Дополнительный разъем JP2 типа MicroFIT3.0-5pin (Molex, 43650-0512) предназначен для подключения питания при использовании модуля автономно без несущей платы или при суммарном токе более 6 А, потребляемом по цепи 5 Вольт. Назначение контактов разъема приведено в таблице ниже.

Таблица 18: Назначение контактов разъема JP2

Pin	Signal
1	3.3V
2	GND
3	GND
4	5V
5	5V

Еще один опциональный разъем JP4 предназначается для питания вентиляторов охлаждения пользовательских ПЛИС. Номинал питания +Fan может быть 5 В или 12 В в зависимости от заказанного варианта (см. Информацию для заказа).

Суммарный ток потребления вентиляторов не должен превышать 1 А.

Таблица 19: Назначение контактов разъема JP4

Pin	Signal
1&3	GND
2&4	+Fan

- [1] Virtex-II XC2V1000-FG456
- [2] Стандарт PMC
- [3] Virtex-4LX корпусе FF1148 в диапазоне 40-60-80-100-160
- [4] QSH-030-01-LDA (Molex)